

501,883

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 8 月 19 日 (19.08.2004)

PCT

(10) 国際公開番号
WO 2004/070746 A1

(51) 国際特許分類⁷: H01F 17/00

(21) 国際出願番号: PCT/JP2003/001138

(22) 国際出願日: 2003 年 2 月 4 日 (04.02.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目 2 番 3 号 Tokyo (JP).

(HASHIZUME, Yasushi) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内 Tokyo (JP). 西川 和康 (NISHIKAWA, Kazuyasu) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 田澤 博昭, 外 (TAZAWA, Hiroaki et al.); 〒100-0013 東京都千代田区霞が関三丁目 7 番 1 号 大東ビル 7 階 Tokyo (JP).

(81) 指定国 (国内): CN, DE, JP, KR, US.

添付公開書類:
— 国際調査報告書

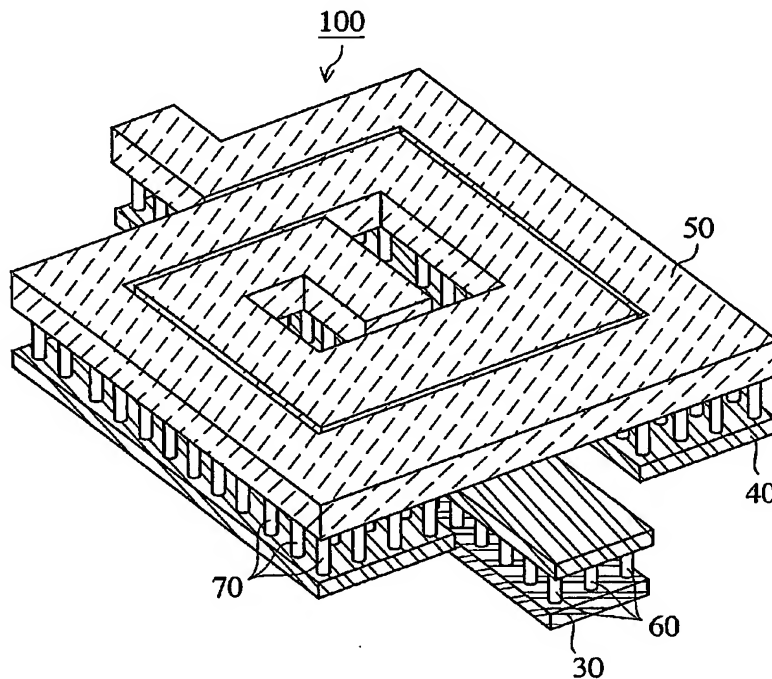
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 橋詰 靖之

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SPIRAL INDUCTOR AND TRANSFORMER

(54) 発明の名称: スパイラルインダクタおよびトランス



(57) Abstract: A spiral inductor in which at least one of conductive film layers forming spiral wiring is used for forming under path wiring at a part where the spiral wiring and the under path wiring intersect and the spiral wiring at the intersecting part formed of a small number of conductive films is made wider than the spiral wiring at the nonintersecting part formed of a large number of conductive films.

[続葉有]

WO 2004/070746 A1



(57) 要約: スパイラル配線がアンダーパス配線と交差する部分では、スパイラル配線を形成する導電膜層のうちの少なくとも1層をアンダーパス配線の形成に用い、少ない導電膜数で形成された交差部分のスパイラル配線は、多い導電膜数で形成された交差しない部分のスパイラル配線よりも幅を広くしたスパイラルインダクタ。

明 細 書

スパイラルインダクタおよびトランス

技術分野

この発明は、スパイラルインダクタおよびトランスに関するものである。

背景技術

携帯電話などの携帯端末はより小型で高性能なものが求められる。そのため、携帯端末に組み込まれる例えば高周波デバイス等の装置は、小型化、高性能化が進められている。

携帯端末や無線LAN (Local Area Network) では、送信周波数としてGHz帯が多く用いられている。従来、GHz帯を利用した送受信のためのアナログ回路に用いられる半導体装置はガリウム砒素基板上に形成されていた。

しかし、シリコンCMOS (Complementary Metal Oxided Semiconductor) の微細化が進み、シリコン基板上での動作可能周波数が高くなったことに伴い、GHz帯用の半導体装置もシリコン基板を用いて作ることが可能になった。シリコン基板上に形成することにより、ガリウム砒素基板上に形成するよりも安価に製造することができる。また、従来からシリコン基板上に作成されてきたデジタル回路と、送受信のためのアナログ回路を一つの基板上に形成することができるという利点がある。

アナログ回路に用いられる重要な受動素子としてスパイラルインダクタがある。スパイラルインダクタの直径は数10 μ m～数100 μ mで

あり、トランジスタなどの能動素子と比べて非常に大きな面積を占める。従って、アナログ回路を備えた半導体装置を小型化するためにはスパイラルインダクタを小さくできればより効果的である。

従来の標準的なスパイラルインダクタは、渦状に配置した導電膜層による配線で形成されるスパイラル配線と、このスパイラル配線の内側の端から外側に引き出されたアンダーパス配線と、スパイラル配線とアンダーパス配線を電氣的に接続するプラグ配線から形成される。

スパイラルインダクタは、半導体基板上に設けられた絶縁膜上に形成される。導電膜層としては、ガリウム砒素基板上では例えば金や金合金、シリコン基板上では例えばアルミニウムやアルミニウム合金もしくは銅などが用いられる。

前述のように、シリコンCMOSの微細化により、GHz帯に利用できる高周波アナログ回路の作成にシリコン基板が用いられるようになったことで半導体装置の小型化が進んだが、半導体装置の横方向の微細化を行うためには、アナログ回路に用いる導電膜層の厚さを薄くする必要がある。これにより、スパイラルインダクタは小型化されるが、導電膜層の厚さを薄くするとスパイラルインダクタの抵抗値は高くなり性能が低下する。

そこで、その解決策として従来下記のような方法が提案されている。

例えば、J. N. Burghartz他, 「Microwave Inductors and Capacitors in Standard Multilevel Interconnect Silicon Technology」, IEEE TRANSACTION ON MICROWAVE THEORY AND TECHNOLOGYS, VOL. 44, p. 100-104, 1996に示された従来のスパイラルインダクタは、アルミと銅の合金による4層の導電膜層を

用いて作られている。半導体基板にはシリコン基板が用いられており、その上の絶縁層上に、第1の導電膜層から第4の導電膜層が間に絶縁層を挟んで重ねられている。スパイラル配線は、各導電膜層をプラグ配線によって並列に接続することにより形成されている。

このように、2層以上の導電膜層を並列に接続してスパイラル配線を形成することによりスパイラル配線の抵抗値を下げ、スパイラルインダクタの性能を向上させている。

この従来のスパイラルインダクタでは、アンダーパス配線は第1の導電膜層によって形成されており、スパイラル配線とはプラグ配線によって電氣的に接続されている。

また、例えば特開平9-181264号公報に示された従来のスパイラルインダクタでは、第2の導電膜層でスパイラル配線を形成し、その下に位置する第1の導電膜層によってアンダーパス配線を形成している。さらに、第1の導電膜層のアンダーパス配線を形成する領域以外の部分によってスパイラル配線を形成し、第2の導電膜層によるスパイラル配線と並列に接続している。

このように、この従来のスパイラルインダクタでは、スパイラル配線のうち、複数の導電膜層を並列接続した部分では導電膜層が実質的に厚くなっているので、抵抗値が抑えられている。

しかし、これらの従来のスパイラルインダクタにおいては、アンダーパス配線や、上述の第2の従来例のアンダーパス配線と交差した領域のスパイラル配線は、少ない導電膜層によって形成されていることからその部分での抵抗値は下げることができない。

さらに、スパイラルインダクタに多くの電流を流す場合、次のような問題がある。

スパイラルインダクタを、例えば無線通信の送信回路のような多くの

電流が流れる回路に用いる場合には、スパイラルインダクタの性能を高めることよりもエレクトロマイグレーション（断線）が起こらないようにすることが重要な課題である。エレクトロマイグレーションは、配線中の電子流によって配線中の金属原子が移動し、欠陥が誘起されることによって発生する。

上述した従来のスパイラルインダクタのうち、少ない導電膜層で形成されている部分ではエレクトロマイグレーションが発生しやすい。具体的には、上述の J. N. B u r g h a r t z 他により開示されたスパイラルインダクタにおけるアンダーパス配線、特開平 9 - 1 8 1 2 6 4 号公報に開示されたスパイラルインダクタにおけるアンダーパス配線とこれに交差するスパイラル配線の部分が該当する。従って、スパイラル配線部分が 2 層以上の導電膜層によって形成されていても、信頼性の点からそのスパイラルインダクタには 1 層で形成されたアンダーパス配線部分に流すことができる電流しか流すことができないことになる。

従来のスパイラルインダクタにおいてエレクトロマイグレーションを防止する場合、以下のような方法が考えられる。

1 つの方法は、アンダーパス配線の幅を広くし、アンダーパス配線部分のエレクトロマイグレーション耐性を高くすることである。しかし、半導体基板に接近しているアンダーパス配線の幅を広げると、アンダーパス配線と半導体基板との間の寄生容量がそれに比例して増加し、スパイラルインダクタの性能が劣化する。また、スパイラル配線とアンダーパス配線との対向面積も広くなるので、この間に存在する寄生容量も増加し、これもスパイラルインダクタの特性劣化の要因となる。

別の方法として、半導体基板に最も近い 2 層の導電膜層を並列接続してアンダーパス配線を形成し、スパイラル配線は最上層のみによって形成するという方法もある。この方法によれば、アンダーパス配線が 2 層

になるためエレクトロマイグレーション耐性は高くなる。また、前述の方法に比べアンダーパス配線に付随する寄生容量の増加を抑えることができる。しかし、スパイラル配線を2層で形成した場合と同じインダクタンスを得るためには、配線の幅を広げると同時に、スパイラル配線の直径を大きくする必要があり、それだけ大きな面積が必要になる。

このように、従来のスパイラルインダクタでエレクトロマイグレーションを防ぐためには、寄生容量が増加して性能が悪くなるか、または、スパイラル配線の面積が大きくなってしまう。すなわち、性能か面積のどちらかを犠牲にしなければならないという課題があった。

この発明は上記のような課題を解決するためになされたもので、エレクトロマイグレーションを抑制すると共に、スパイラルインダクタの性能を下げず、かつ小型のスパイラルインダクタを得ることを目的とする。

発明の開示

この発明に係るスパイラルインダクタは、半導体基板上に絶縁体を挟んで配置された n 層 ($n \geq 2$) の導電膜層により形成されたスパイラルインダクタであって、電氣的に接続された上下方向に隣接する i 層 ($2 \leq i \leq n$) の導電膜層を渦状に配置することにより形成されたスパイラル配線と、電氣的に接続された上下方向に隣接する k 層 ($1 \leq k \leq n-1$) の導電膜層により形成され、スパイラル配線の内側の端に電氣的に接続されたアンダーパス配線とを備え、スパイラル配線とアンダーパス配線が交差する部分では、スパイラル配線を形成する導電膜層のうち上下方向に隣接する j 層 ($1 \leq j < i$) がアンダーパス配線を形成する導電膜層として用いられ、アンダーパス配線と交差する部分のスパイラル配線のうち最も幅の狭い箇所は、アンダーパス配線と交差しない部分の

スパイラル配線のうち最も幅の狭い箇所よりも幅が広いものである。

このことによって、エレクトロマイグレーションを抑制すると共に、スパイラルインダクタの性能を下げず、かつ小型のスパイラルインダクタが得られる効果がある。

図面の簡単な説明

第 1 図は、この発明の実施の形態 1 による、スパイラルインダクタを上面から見た模式図である。

第 2 図は、この発明の実施の形態 1 による、スパイラルインダクタの配線の寸法を示す図である。

第 3 図は、この発明の実施の形態 1 による、スパイラルインダクタの斜視図である。

第 4 図は、この発明の実施の形態 1 による、スパイラルインダクタの分解斜視図である。

第 5 図は、第 1 図の A - B 方向の断面図である。

第 6 図は、この発明の実施の形態 2 による、スパイラルインダクタの上面から見た模式図である。

第 7 図は、この発明の実施の形態 2 による、スパイラルインダクタの斜視図である。

第 8 図は、この発明の実施の形態 3 による、スパイラルインダクタの上面から見た模式図である。

第 9 図は、この発明の実施の形態 3 による、スパイラルインダクタの斜視図である。

第 10 図は、この発明の実施の形態 4 による、スパイラルインダクタの上面から見た模式図である。

第 11 図は、この発明の実施の形態 4 による、スパイラルインダクタ

の斜視図である。

第 1 2 図は、この発明の実施の形態 4 による、スパイラルインダクタを簡略化した図である。

第 1 3 図は、この発明の実施の形態 5 による、トランスを上面から見た模式図である。

第 1 4 図は、この発明の実施の形態 5 による、トランスの斜視図である。

第 1 5 図は、この発明の実施の形態 5 による、トランスを簡略化した図である。

発明を実施するための最良の形態

以下、この発明をより詳細に説明するために、この発明を実施するための最良の形態について、添付の図面にしたがって説明する。

実施の形態 1 .

第 1 図は、実施の形態 1 によるスパイラルインダクタ 1 0 0 を上面から見た模式図である。また、第 3 図はスパイラルインダクタ 1 0 0 の斜視図であり、第 4 図は配線間の位置関係を説明するためにスパイラルインダクタ 1 0 0 を上下方向に分割した状態を示す斜視図である。さらに第 5 図は、第 1 図の A - B 断面の断面図である。

第 3 図、第 4 図、第 5 図に示すように、スパイラルインダクタ 1 0 0 は、半導体基板 8 0 の上に第 1 の金属配線 3 0、第 2 の金属配線 4 0、第 3 の金属配線 5 0 を形成する導電膜層が設けられている。各導電膜層の間には、例えば、厚さ 1 μ m の絶縁体 9 0 が設けられている。第 2 の金属配線 4 0 は、第 4 図に示すように金属片 4 0 a, 4 0 b, 4 0 c から形成されている。

また、スパイラルインダクタ 1 0 0 は、第 4 図に示すようにアンダー

パス配線 10 と、スパイラル配線 20 によって構成される。

アンダーパス配線 10 は、第 4 図に示すように第 1 の金属配線 30 と金属片 40c を多数の第 1 のコンタクト配線 60 によって並列接続することにより形成されている。

スパイラル配線 20 は、第 4 図に示すように、直下にアンダーパス配線 10 のある所では第 3 の金属配線 50 のみで構成され、直下にアンダーパス配線 10 が無いところでは、第 3 の金属配線 50 と第 2 の金属配線 40 とを第 2 のコンタクト配線 70 によって並列に接続することにより形成されている。

第 2 図は、スパイラルインダクタ 100 の配線の寸法を示す図である。図に示すように、スパイラル配線 20 を形成する第 3 の金属配線 50 の幅は、直下にアンダーパス配線 10 のない直線部では例えば $20\mu\text{m}$ とする。一方、直下にアンダーパス配線 10 のある直線部では例えば $30\mu\text{m}$ とし、幅を広くする。

また、第 2 の金属配線 40 については、スパイラル配線 20 を形成する部分（金属配線 40b, 40c）については幅を $20\mu\text{m}$ とし、アンダーパス配線 10 を形成する部分（金属配線 40a）については $30\mu\text{m}$ とする。アンダーパス配線 10 を形成する第 1 の金属配線 30 の幅は $30\mu\text{m}$ とする。

このように、スパイラル配線 20 については、第 3 の金属配線 50 と第 2 の金属配線 40 を並列接続した部分は狭い幅（ $20\mu\text{m}$ ）とし、第 3 の金属配線 50 のみで形成される部分は広い幅（ $30\mu\text{m}$ ）にした。また第 1 の金属配線 30 と第 2 の金属配線 40 で形成されるアンダーパス配線 10 の幅は $30\mu\text{m}$ とした。

このように少ない層で形成される部分の幅を広くすることで、スパイラルインダクタ 100 のいずれの部分でも、エレクトロマイグレーション

ンを起こさないようにすることが出来る。また、この構成によれば、アンダーパス配線 10 の幅が広くなりすぎる事による寄生容量の増加の問題を回避できる。さらにスパイラルインダクタ 100 の占める面積を小さくする事が出来る。

各配線の幅は、スパイラルインダクタ 100 を小型にするという観点から、エレクトロマイグレーションが発生しない下限の幅を選べばよい。

なお、実施の形態 1 では、第 5 図に示すようにスパイラルインダクタ 100 は絶縁体 90 に囲まれているが、各金属配線による構造が支持され、かつ絶縁されるならば、例えば複数の絶縁体の積層構造であってもよい。また、一部が中空であったり、スパイラルインダクタ 100 とは絶縁された導電体を含む構造であってもよい。

また、各金属配線とコンタクト配線は、異なる材料で形成されていてもよいし、例えば銅を用いたダマシン構造のように同じ材料で同時に形成するようにしてもよい。

また、この実施の形態 1 では、コンタクト配線は円筒状の導電体であるが、電氣的に上下の配線間を接続できれば他の形状であってもよい。例えば、スパイラル配線の配線方向に沿って設けた溝を導電体で埋めたような板状のコンタクト配線であっても良い。

また、第 1 ～ 第 3 の金属配線を形成する導電膜層の厚さを合わせて調整することにより、各配線構造の幅を決定してもよい。例えば、最上層（第 3 の金属配線 50）の導電膜層を厚くすれば、配線の幅はより狭くすることが出来る。

また、実施の形態 1 では半導体基板としてシリコン基板を用いたが、例えば SiGe 基板、あるいは複数種類の半導体を積層した基板、あるいは間に絶縁体を挟んだ SOI (Silicon On Insula

t o r) のような基板を用いてもよい。

以上のように、この実施の形態 1 によれば、3 層の導電膜層を備えたスパイラルインダクタ 100 において、アンダーパス配線 10 が直下にあるところでは 1 層の導電膜層によってスパイラル配線 20 を形成するかわりに配線幅を広くし、アンダーパス配線 10 が直下に無いところでは 2 層の導電膜層によってスパイラル配線 20 を形成する代わりに配線幅を狭くするようにしたので、スパイラルインダクタ 100 の各部でエレクトロマイグレーションを抑制すると共に、スパイラルインダクタ 100 の性能を下げず、かつ面積の増加を抑えることができる。

なお、スパイラルインダクタ 100 は 3 層の導電膜層を備えたものに限定せず、2 層以上であれば何層の導電膜層を備えていてもよい。3 層以上の導電膜層を備える場合でも、その全ての導電膜層をスパイラル配線に用いる必要は無く、2 層以上の任意の導電膜層を用いてスパイラル配線を形成すればよい。このとき望ましくは、半導体基板から離れた上層の導電膜層を用いてスパイラルインダクタを構成することにより半導体基板とスパイラルインダクタとの間の寄生容量を減らすことが可能となり、より高性能なスパイラルインダクタを得ることができる。

実施の形態 2 .

スパイラルインダクタの外形は、実施の形態 1 のような四角形に限定するものではなく、五角形やそれ以上の辺数の多角形でもよい。また、スパイラルインダクタの 2 つの端子の方向は実施の形態 1 のように 180 度に限定しない。

例えば第 6 図および第 7 図に示すスパイラルインダクタ 200 のように、八角形の形状で端子が 90 度の方向に引き出されていてもよい。図中の符号については、第 1 図および第 3 図の符号と同一の符号は同一の

構成要素をあらわしている。

図に示すように、アンダーパス配線 10 が直下にある直線部分（八角形の 1 辺）では、アンダーパス配線 10 が直下でない直線部分よりも配線幅が広がっている。

このように、スパイラルインダクタの外形や端子の方向にかかわらず、実施の形態 1 と同様の効果を奏する。

実施の形態 3 .

さらに、スパイラルインダクタの外形は、第 8 図および第 9 図に示すスパイラルインダクタ 300 のように曲線で形成されていてもよい。図中の符号については、第 1 図および第 3 図の符号と同一の符号は同一の構成要素をあらわしている。

第 8 図に示すように、第 2 の金属配線 40 と第 3 の金属配線 50 とを第 2 のコンタクト配線 70 で接続することによりスパイラル配線 20 を形成している部分では、図の上半分における配線幅が狭くなっている。第 2 の金属配線 40 のみでスパイラル配線 20 を形成しているところでは、一定の広い幅で形成されている。

配線幅の異なる部分同士の接続は、第 8 図および第 9 図に示すように、滑らかに配線幅を変えて接続する方が望ましい。

なお、スパイラルインダクタ 300 のエレクトロマイグレーション耐性は、スパイラル配線各部（2 層部分と 1 層部分）において、最も幅の狭い部分における値で考えればよい。

このように、スパイラルインダクタの外形が曲線で形成されていても、実施の形態 1 と同様の効果を得ることができる。

実施の形態 4 .

実施の形態 1 ～ 3 はいずれも 2 端子のスパイラルインダクタであるが、スパイラルインダクタの途中に一つ以上の引き出し線があってもよい。

第 10 図はこの発明の実施の形態 4 によるスパイラルインダクタ 400 を上面から見た模式図である。また、第 11 図は、スパイラルインダクタ 400 の斜視図である。スパイラルインダクタ 400 は、2 層の導電膜層を備え、上側の導電膜層により第 2 の金属配線 41 が形成され、下側の導電膜層により第 1 の金属配線 31 が形成されている。

スパイラルインダクタ 400 は、第 1 のアンダーパス配線 11（端子 Y）と第 2 のアンダーパス配線 12（端子 Z）を備えている。端子 Z はスパイラル配線の途中からの引き出し線であり、端子 Y はスパイラル配線の内側の端の端子である。スパイラルインダクタ 400 は、第 12 図に示すように簡略化して表すことができる。

第 1 のアンダーパス配線 11 および第 2 のアンダーパス配線 12 は、第 2 の金属配線 31 の一部によって形成されている。

また、スパイラル配線は第 1 のアンダーパス配線 11 および第 2 のアンダーパス配線 12 が直下にあるところでは第 2 の金属配線 41 のみで形成される。その他の部分では、第 2 の金属配線 41 と第 1 の金属配線 31 を第 1 のコンタクト配線 61 で並列接続することにより形成されている。

スパイラル配線の配線幅は、第 1 のアンダーパス配線 11 および第 2 のアンダーパス配線 12 が直下にある直線部では、直下でない直線部よりも広がっている。

このような構造にすることで、実施の形態 1 と同様の効果が得られる。

なお、それぞれの端子を形成するアンダーパス配線については、流れ

る電流量に見合った配線幅を個別に設定するのが望ましい。

また、両端の端子X、Yのうち、2層の金属配線を用いて構成される外側の端子により多くの電流が流れるように設定することが望ましい。そのようにすれば第1のアンダーパス配線11に流れる電流量を少なくできるので、第1のアンダーパス配線11の配線幅を抑えることができる。これにより、第1のアンダーパス配線11と半導体基板、あるいは第1のアンダーパス配線11とその上のスパイラル配線の間の寄生容量が抑えられ、より高性能なスパイラルインダクタが得られる。

実施の形態5.

実施の形態1～4は、いずれもひとつのスパイラルインダクタの例であるが、スパイラルインダクタを2つ組み合わせたトランスであっても同様の構造により同様の効果をえることができる。

第13図は、この発明の実施の形態5によるトランス500を上面から見た模式図である。また、第14図は、トランス500の斜視図である。

トランス500は、端子Wと端子Xの組で一つのスパイラルインダクタ、端子Yと端子Zの組で他の一つのスパイラルインダクタを形成している。トランス500は第15図に示すように簡略化して表すことができる。

また、トランス500は、2層の導電膜層を備え、上側の導電膜層により第2の金属配線42が形成され、下側の導電膜層により第1の金属配線32が形成されている。

第1のアンダーパス配線13（端子X）および第2のアンダーパス配線14（端子Z）は、第2の金属配線32の一部によって形成されている。また、スパイラル配線は第1のアンダーパス配線13および第2の

アンダーパス配線 1 4 が直下にあるところでは第 2 の金属配線 4 2 のみで形成される。その他の部分では、第 2 の金属配線 4 2 と第 1 の金属配線 3 2 を第 1 のコンタクト配線 6 2 で並列接続することにより形成されている。

スパイラル配線の配線幅は、第 1 のアンダーパス配線 1 3 および第 2 のアンダーパス配線 1 4 が直下にある直線部（図中、垂直方向の配線）では、直下になく直線部（図中、水平方向の配線）よりも広がっている。

このような構造にすることで、トランス 5 0 0 においても実施の形態 1 と同様の効果が得られる。

なお、スパイラル配線を直線状の配線で構成する場合においては、アンダーパス配線と交差する幅の広い直線部分の一部だけが少ない配線層で形成される構造（例えば実施の形態 1 や実施の形態 4 など）、または、実施の形態 5 のようにアンダーパス配線と交差する幅の広い直線部分の全体が少ない配線層で形成される構造のいずれをとることも可能である。

どちらの構造においても、エレクトロマイグレーションを抑制することができる。また、スパイラルインダクタの占有面積に差は無い。しかし、前者では、金属配線の広い部分が半導体基板に接近するため寄生抵抗が低減できる代わりに寄生容量が増加する。また、後者では寄生容量が低減する反面その抵抗が高くなるという得失がある。

このため、スパイラルインダクタやトランスを用いる回路の動作周波数が低い場合は前者を、動作周波数が高い場合は後者を選択することにより、その周波数でより影響が大きい寄生成分の効果を低減させることが可能となる。

産業上の利用可能性

以上のように、この発明に係るスパイラルインダクタは、エレクトロマイグレーションを抑制し、高性能で小型のスパイラルインダクタを実施するのに適している。

請 求 の 範 囲

1. 半導体基板上に絶縁体を挟んで配置された n 層 ($n \geq 2$) の導電膜層により形成されたスパイラルインダクタであって、

電氣的に接続された上下方向に隣接する i 層 ($2 \leq i \leq n$) の上記導電膜層を渦状に配置することにより形成されたスパイラル配線と、

電氣的に接続された上下方向に隣接する k 層 ($1 \leq k \leq n-1$) の上記導電膜層により形成され、上記スパイラル配線の内側の端に電氣的に接続されたアンダーパス配線とを備え、

上記スパイラル配線と上記アンダーパス配線が交差する部分では、上記スパイラル配線を形成する導電膜層のうち上下方向に隣接する j 層 ($1 \leq j < i$) が上記アンダーパス配線を形成する導電膜層として用いられ、

上記アンダーパス配線と交差する部分のスパイラル配線のうち最も幅の狭い箇所は、上記アンダーパス配線と交差しない部分のスパイラル配線のうち最も幅の狭い箇所よりも幅が広いことを特徴とするスパイラルインダクタ。

2. 電氣的に接続された上下方向に隣接する h 層 ($1 \leq h \leq n-1$) の導電膜層により形成され、前期スパイラル配線の両端以外の箇所に電氣的に接続された第2のアンダーパス配線を備え、

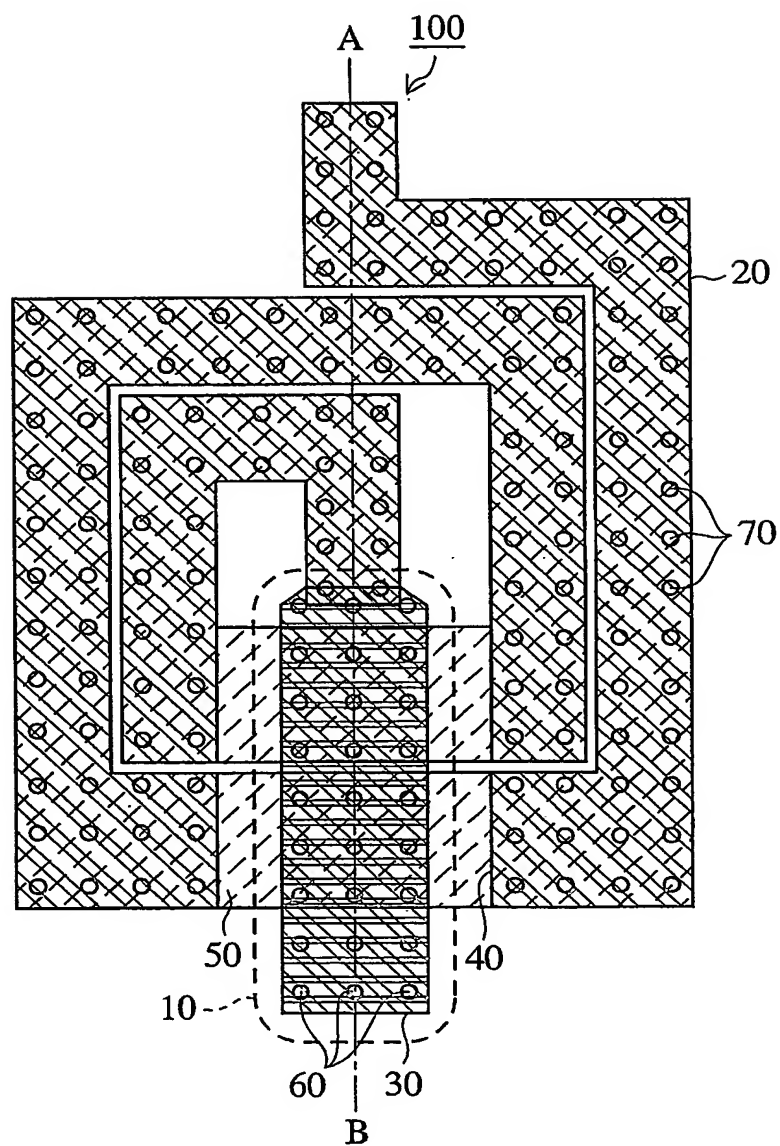
上記スパイラル配線と上記第2のアンダーパス配線が交差する部分では、上記スパイラル配線を形成する導電膜層のうち上下方向に隣接する m 層 ($1 \leq m < i$) が上記アンダーパス配線を形成する導電膜層として用いられ、

上記第2のアンダーパス配線と交差する部分のスパイラル配線のうち

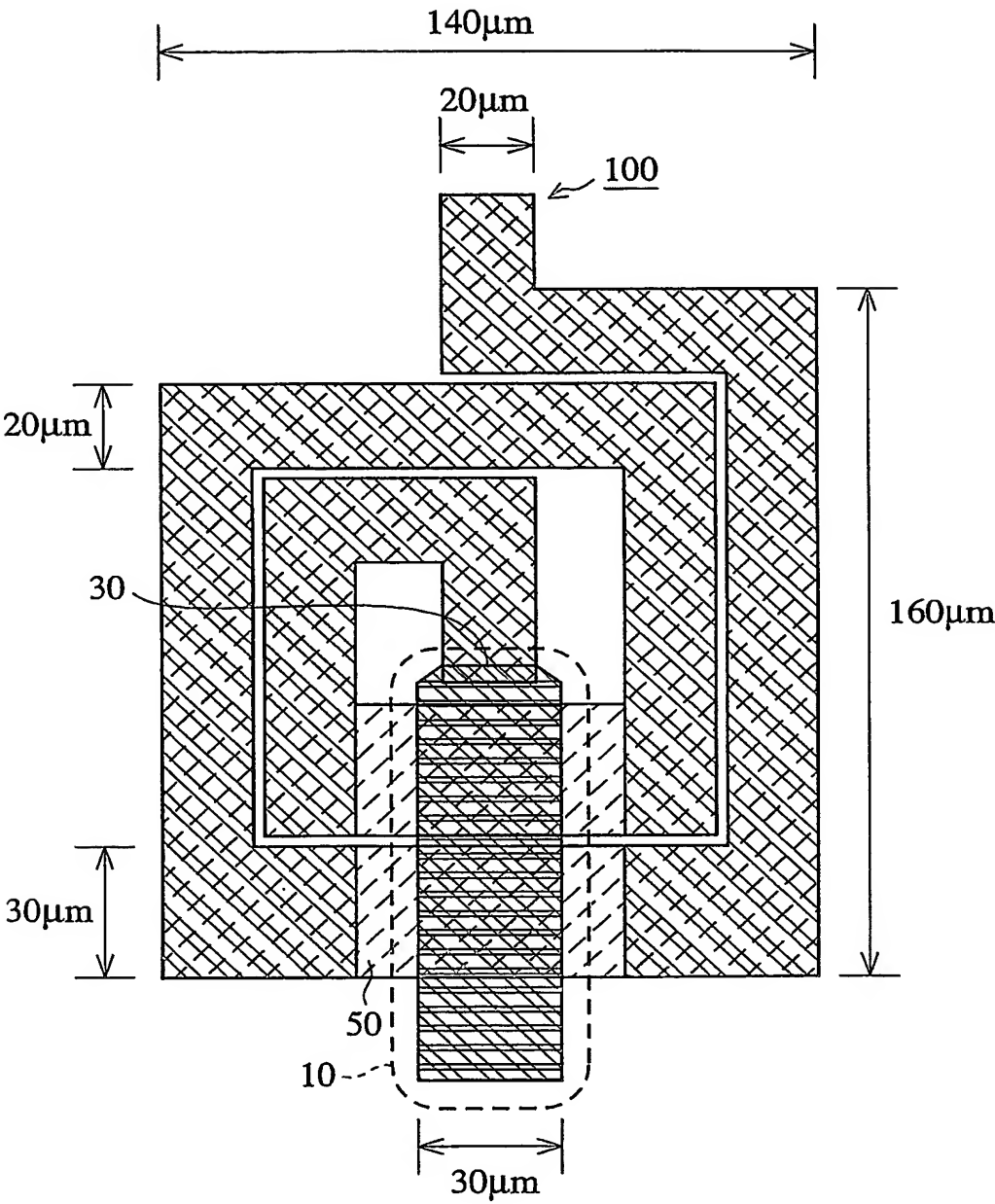
最も幅の狭い箇所は、上記アンダーパス配線と交差しない部分のスパイラル配線のうち最も幅の狭い箇所よりも幅が広いことを特徴とする請求の範囲第1項記載のスパイラルインダクタ。

3. 請求の範囲第1項または請求の範囲第2項に記載のスパイラルインダクタを2つ組み合わせたトランス。

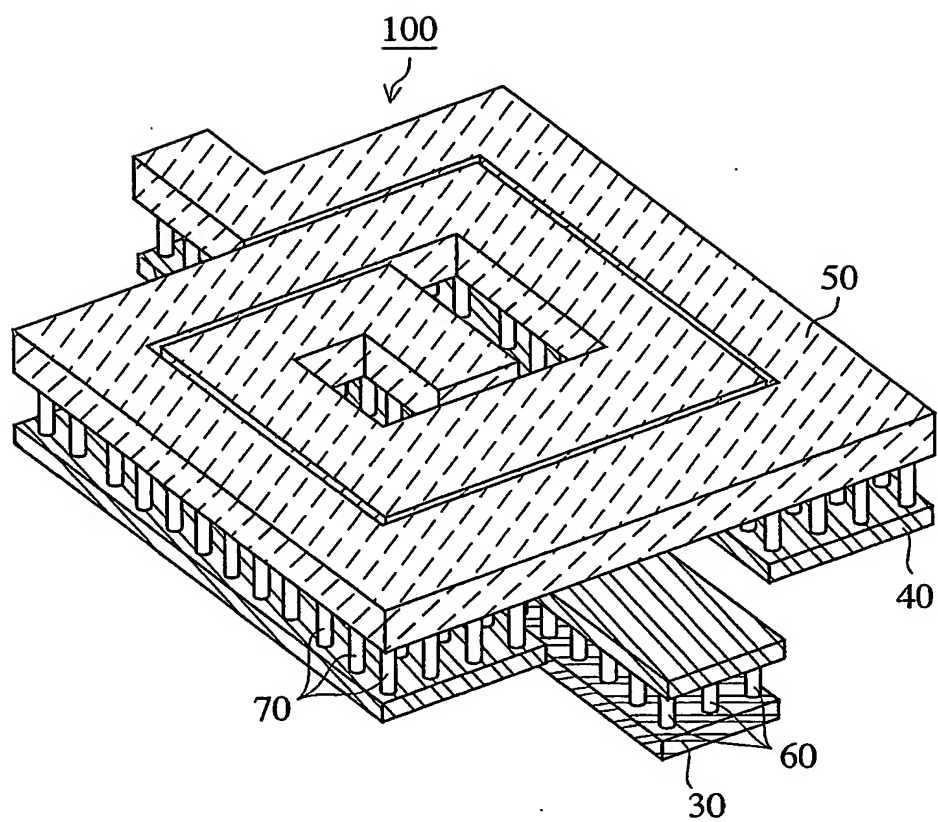
第1図



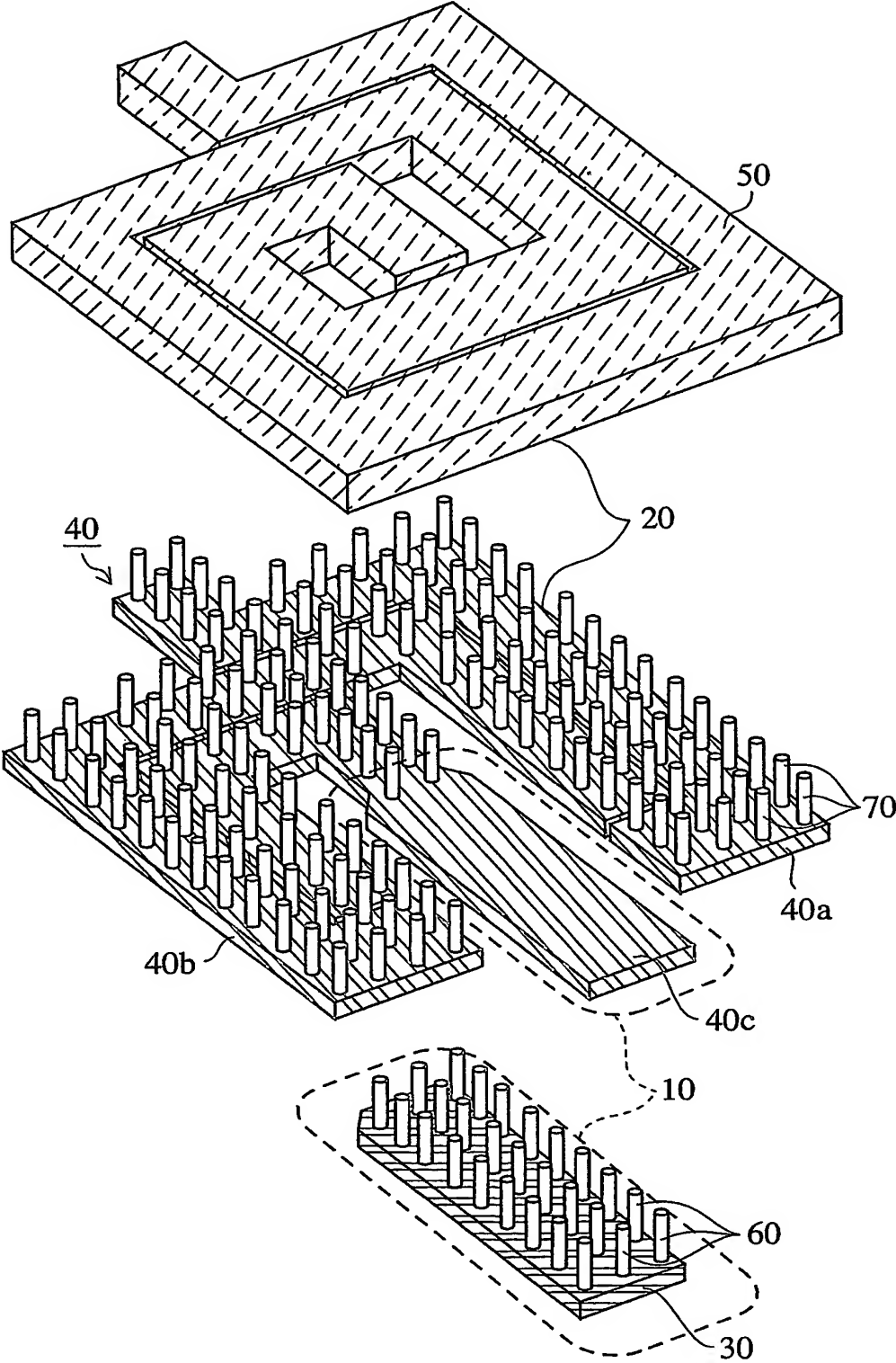
第2図



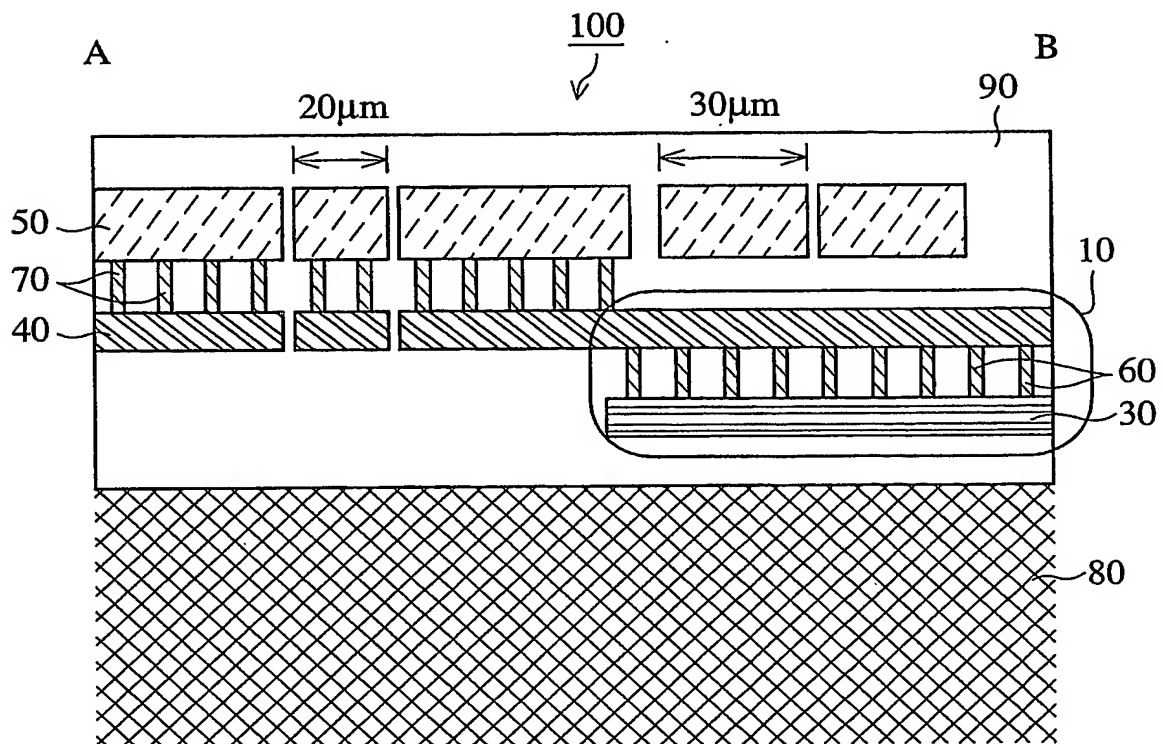
第3図



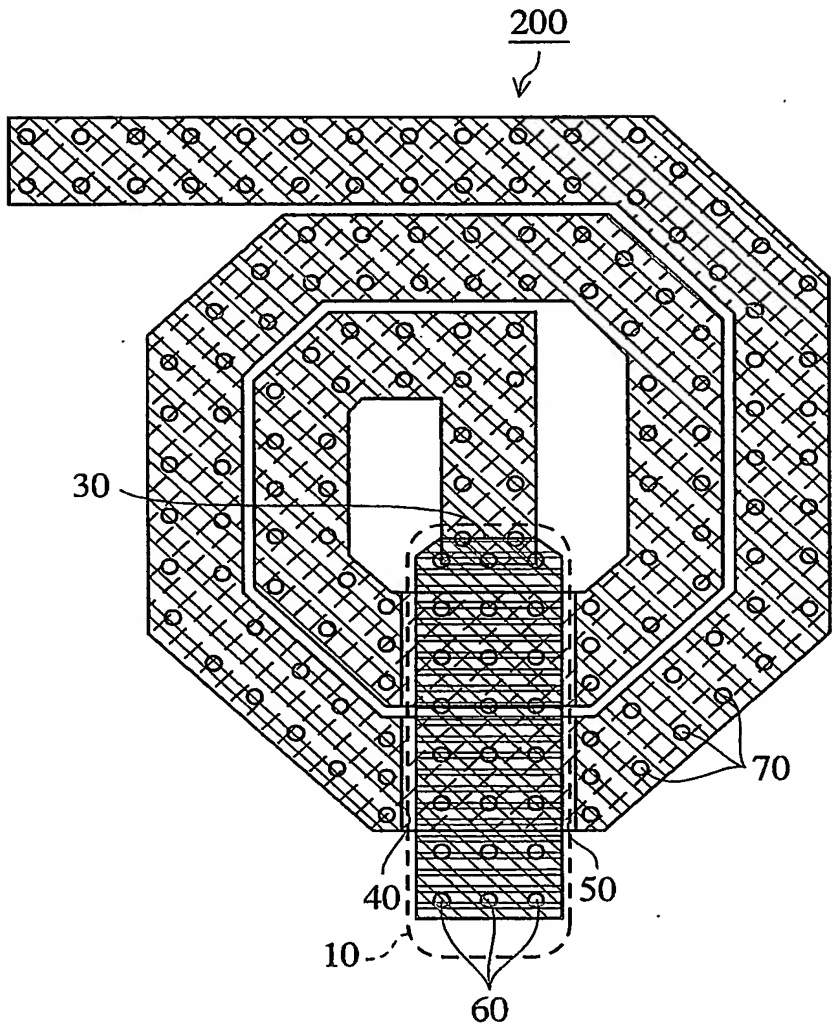
第4図



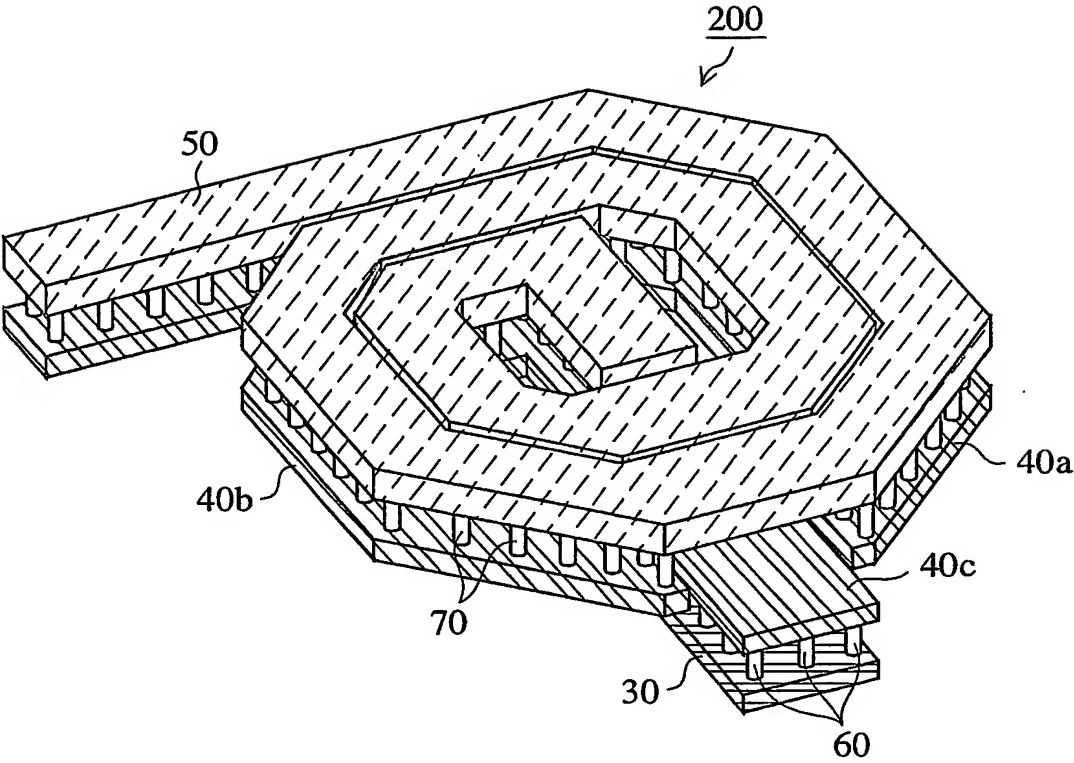
第5図



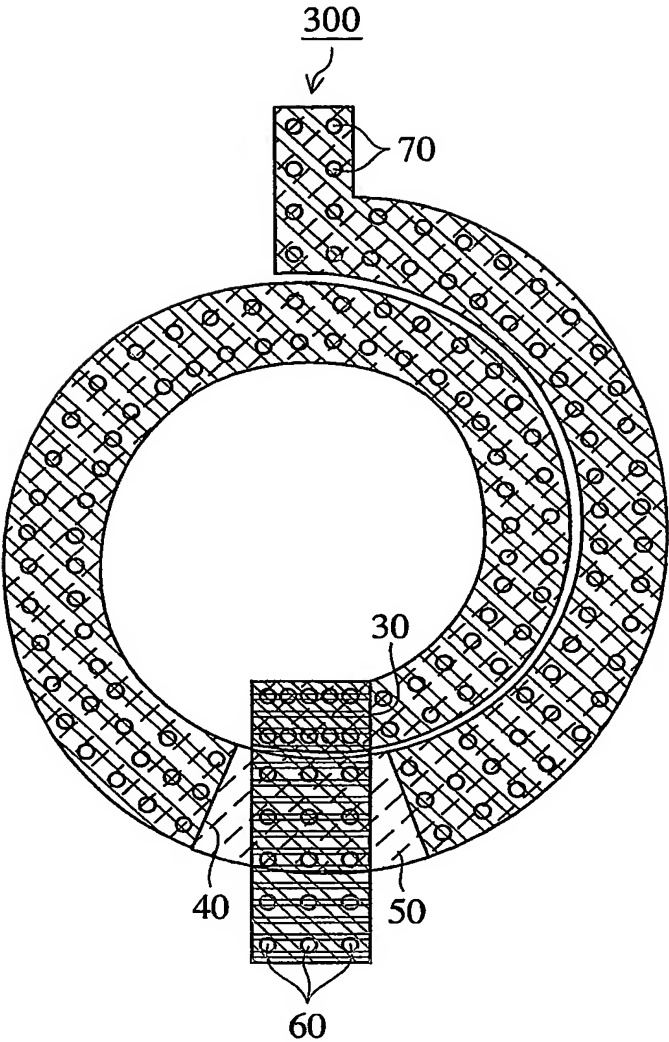
第6図



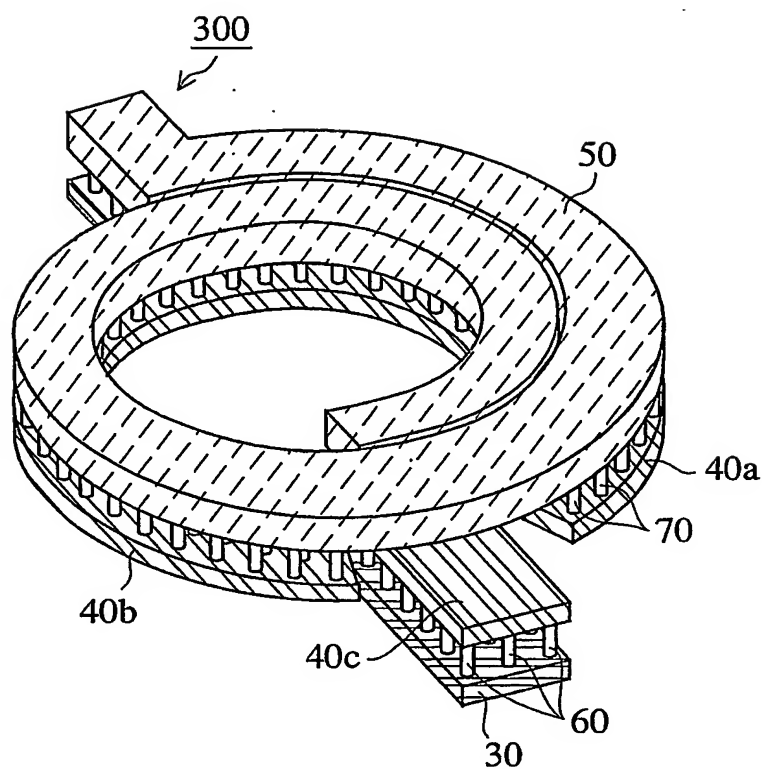
第7図



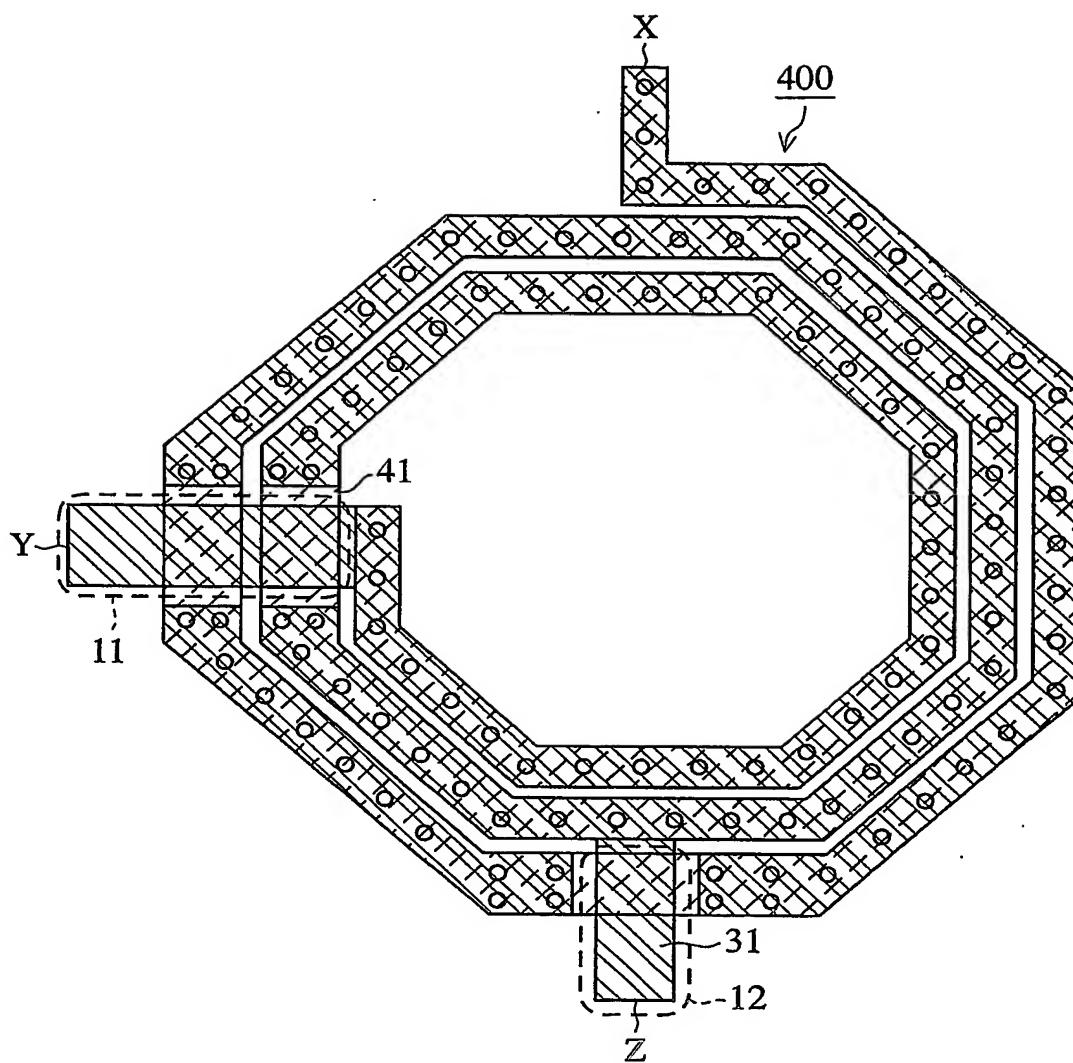
第8図



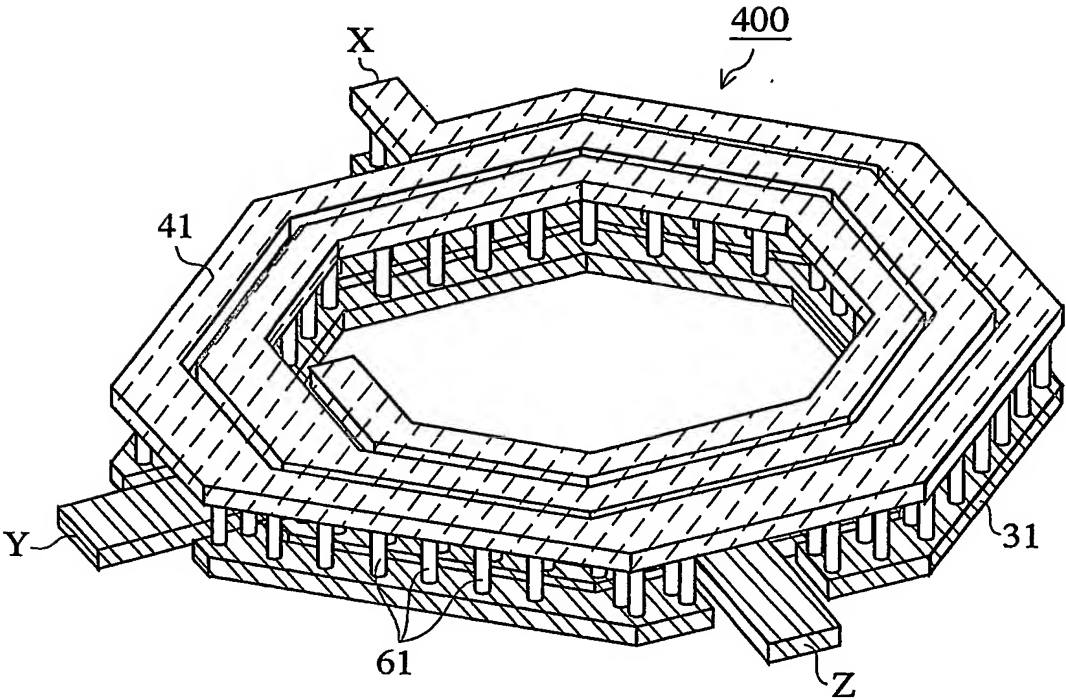
第9図



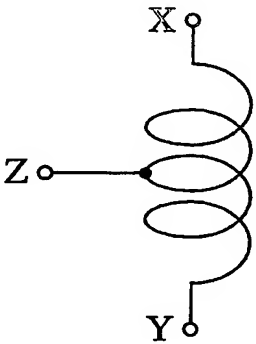
第10図



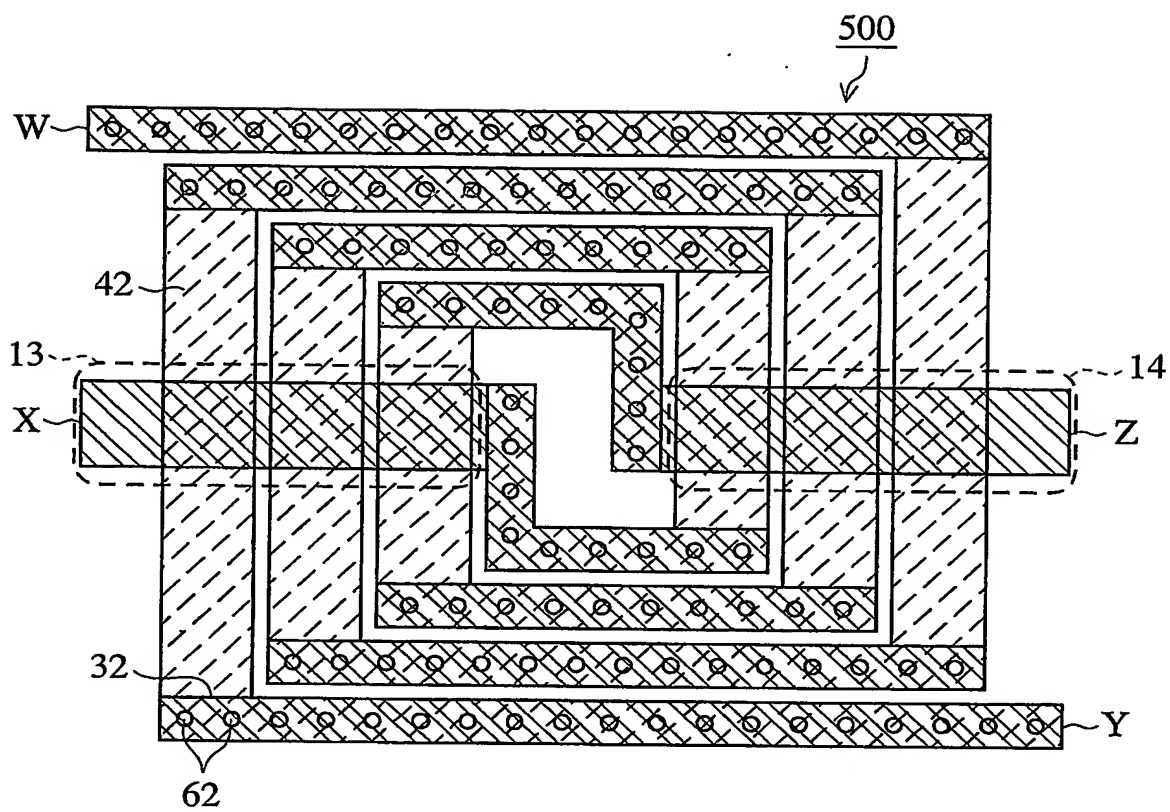
第11図



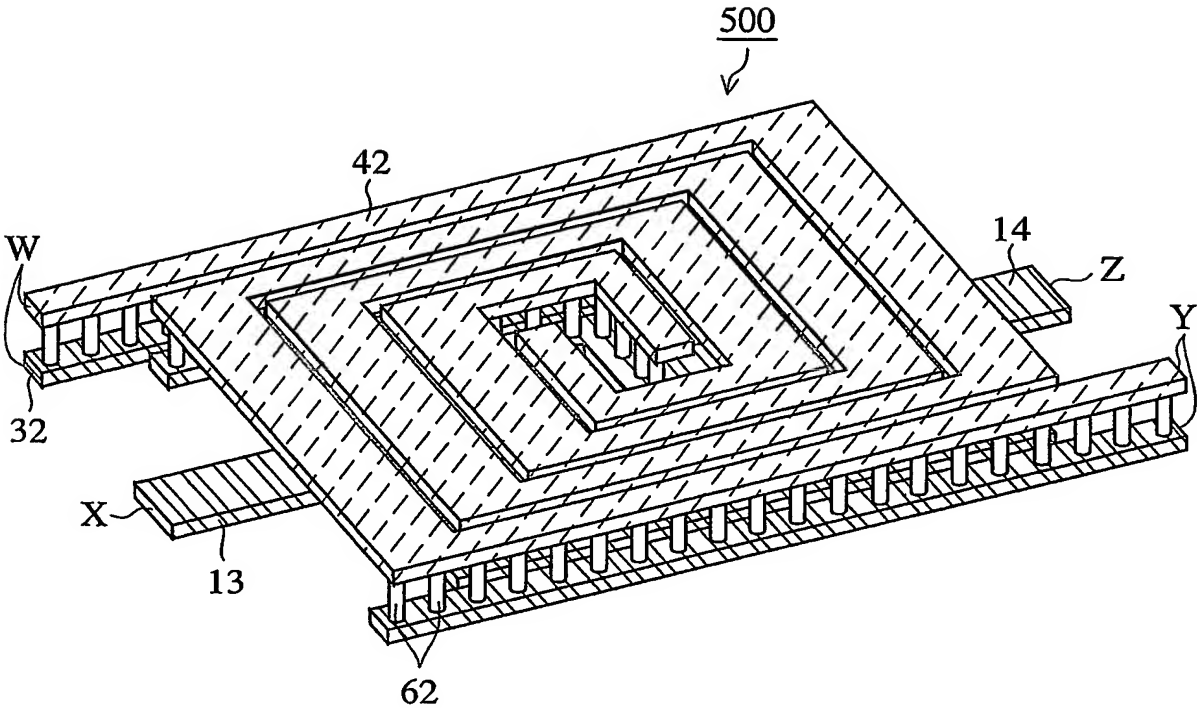
第12図



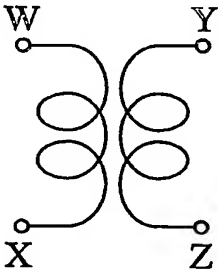
第13図



第14図



第15図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/01138

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01F17/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01F17/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-181264 A (NEC Corp.), 11 July, 1997 (11.07.97), Full text; Figs. 1 to 15 & EP 782190 A & US 6002161 A	1-3
Y	JP 2001-284125 A (Kawasaki Steel Corp.), 12 October, 2001 (12.10.01), Full text; Figs. 1 to 16 (Family: none)	1-3

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 May, 2003 (01.05.03)Date of mailing of the international search report
20 May, 2003 (20.05.03)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01F 17/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01F 17/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2003年

日本国登録実用新案公報 1994-2003年

日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 9-181264 A (日本電気株式会社) 1997. 07. 11, 全文, 第1-15図 & EP 782190 A & US 6002161 A	1-3
Y	JP 2001-284125 A (川崎製鉄株式会社) 2001. 10. 12, 全文, 第1-16図 (ファミリーなし)	1-3

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

01.05.03

国際調査報告の発送日

20.05.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

重田 尚郎



5R

9298

電話番号 03-3581-1101 内線 3565